

Mise en œuvre du microprocesseur Motorola 68000

Auteur : C. Vieillefond

Editeur : Sybex

Ville d'édition :

Année d'édition :

Le 68000 est un microprocesseur 32 bits, avec un bus 16 bits.

Il a été conçu et fabriqué depuis 1979 par la société américaine Motorola.

Il faisait suite au 6800 un microprocesseur 8-bits, produit depuis 1974.

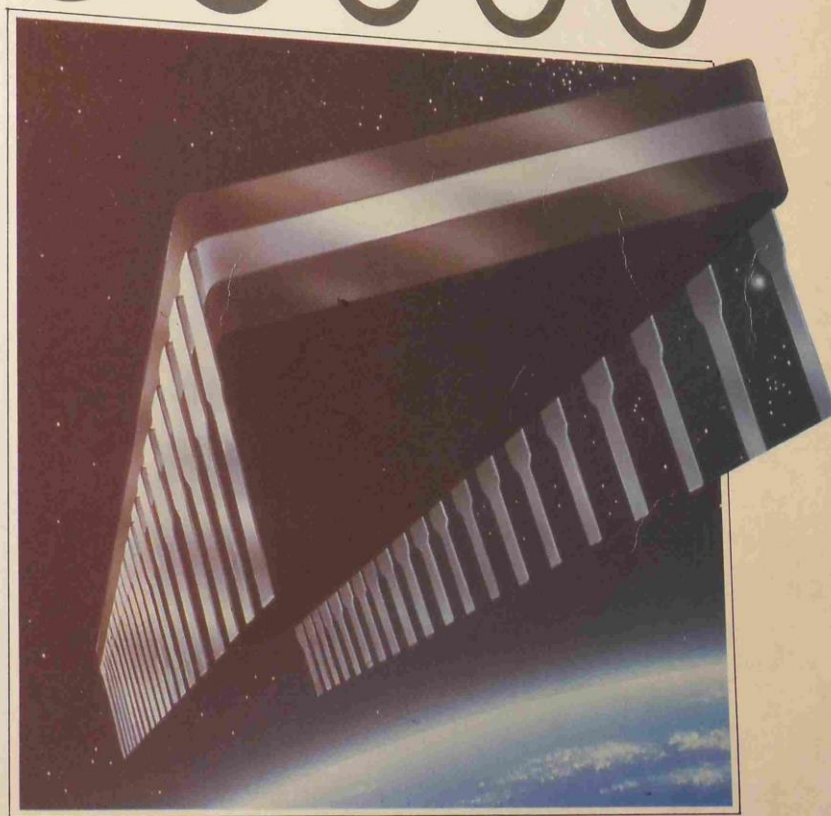
Ce microprocesseur a diverses versions, l'unité centrale étant à 32 bits, avec un « bus » externe à 16 bits.

Il a été largement utilisé, par exemple :

- Les micro-ordinateurs MacIntosh (Apple), ainsi le MacIntosh Classic (voir fiche ACONIT 18802), le MacIntosh SE (voir fiche ACONIT 18804), le MacIntosh LC (voir fiche ACONIT 18923) qui utilise un 68020, ...
- Les Atari, ainsi le Atari MEGA STE (voir fiche ACONIT 12602 de 1987), ou le Atari MEGA STE (voir fiche ACONIT 12390 de 1989), ou le Atari 520 STEf (voir fiche ACONIT 12373), ou le Atari 1040 ST (voir fiche ACONIT 20016)
- ... et encore des Commodore Amiga, ainsi le Commodore Amiga 500 (voir fiche ACONIT 12594)



MISE EN ŒUVRE DU 68000



C VIEILLEFOND

S Y B E X

MISE EN ŒUVRE DU 68000

TABLE DES MATIÈRES

LE HARDWARE DU MC68000

I

NOTIONS GÉNÉRALES

Les signaux du MC68000	11
L'architecture interne du MC68000	23
Les cycles	27

II

ORGANISATION GÉNÉRALE DES ÉCHANGES

Échanges asynchrones	32
Cycle de lecture	32
Cycle d'écriture	41
Cycle de lecture-modification-écriture	46
Perturbation des cycles	49
La procédure d'exception	49
Le « relancement » du cycle sur le bus (RE-RUN)	50
Autres fonctions du signal HALT	55
Échanges synchrones	59
Contrôle d'attribution des bus	70

III

LES EXCEPTIONS

Généralités	78
Les vecteurs d'exception	80
Le traitement d'une exception	83
Le traitement de divers types d'exceptions	86
Les interruptions	86
Cas de la vectorisation « non automatique »	91
Cas de la vectorisation automatique	93
Le RESET	95
Les instructions de type TRAP	98
Les instructions illégales ou non implémentées	100

La violation de privilège	100
Le mode TRACE	101
L'erreur BUS	102
L'erreur ADRESSE	103
L'interruption non initialisée	103

LE SOFTWARE DU MC68000

I

ORGANISATION DES DONNÉES EN MÉMOIRE, LES CODES CONDITION

Organisation de la mémoire	108
Le registre codes condition : CCR	111

II

LES MODES D'ADRESSAGE

Adressage absolu	117
Adressage absolu court	117
Adressage absolu long	121
Adressage direct de registres	123
Registre de donnée	123
Registre d'adresse	125
Registre d'état	127
Adressage immédiat	128
Adressage immédiat « simple »	128
Adressage immédiat rapide	129
Adressage indirect de registres	131
Adressage indirect « simple »	131
Adressage indirect postincrémenté	132
Adressage indirect prédécrémenté	133
Adressage indirect avec déplacement	140
Adressage indirect indexé avec déplacement	142
Adressage relatif au compteur programme	146
Adressage relatif au compteur programme (avec déplacement)	146
Adressage indexé relatif au compteur programme	152

III

LE JEU D'INSTRUCTIONS

Description du jeu d'instructions	167
Étude de certaines instructions	297
L'instruction Bcc	297
L'instruction LEA	299
L'instruction DBcc	300
L'instruction EXT	305
L'instruction SWAP	306
L'instruction DIVU, DIVS	307
L'instruction Scc	310
Les instructions de calcul décimal : ABCD, SBCD, NBCD ..	311
Les instructions de décalage et de rotation : ASR, ASL, LSR, LSL, ROXR, ROXL, ROR, ROL	315
L'instruction CHK	317
L'instruction MOVEM	321
L'instruction MOVEP	326
L'instruction PEA	333
L'instruction TAS	334
Les instructions de manipulation de bits : BTST, BSET, BCLR, BCHG	340
L'instruction LINK	343
L'instruction UNLK	347
LINK et UNLK	349

IV

PROGRAMMES D'APPLICATION

Programme 1	360
Programme 2	360
Programme 3	362
Programme 4	363
Programme 5	366
Programme 6	367
Programme 7	371
Programme 8	374
Programme 9	377

LES AUTRES PROCESSEURS DE LA FAMILLE 68000

I LE MC68008

Cycle de lecture	384
Cycle d'écriture	387
Interface avec des circuits 6800	390
Signaux d'attribution des bus	393
Les procédures d'exception	395
Le jeu d'instructions	395

II LE MC68010

Généralités	398
Concept de mémoire virtuelle	398
Notion de machine virtuelle	399
Structure interne du MC68010	400
Le registre de base de vecteur VBR	400
Les registres codes fonction alternés SFC et DFC	400
Les signaux du MC68010	400
Les exceptions	404
RESET	405
Instructions illégales et non implémentées	407
La violation de privilège	407
L'erreur bus	408
L'erreur adresse	409
Les instructions	410
MOVE from CCR	411
MOVE from SR	412
MOVEC	414
MOVES	416
RTD	419

III LE MC68012

 IV

 LE MC68020

Les échanges asynchrones	425
Le cadrage dynamique du bus	425
L'espace d'adressage	429
L'interface coprocesseur	431
La mémoire cache	432
Modèle de programmation du MC68020	435
Les modes d'adressage supplémentaires	438
Amélioration du jeu d'instructions	439
Instructions étendues	440
Les nouvelles instructions	441

 ANNEXE A

Temps d'exécution des instructions du MC68000	443
---	-----

 ANNEXE B

Temps d'exécution des instructions du MC68008	451
---	-----

 ANNEXE C

Temps d'exécution des instructions du MC68010	457
---	-----

 ANNEXE D

Les extensions du MC68020 par rapport à la famille MC68000	467
INDEX	471
BIBLIOGRAPHIE	473