

***Contribution à l'étude du test aléatoire des systèmes logiques –
Thèse de Docteur-Ingénieur, Institut National Polytechnique de Grenoble – 1974.***

Ce document est disponible dans la collection de l'ACONIT, Association pour un conservatoire de l'informatique et de la télématique, Grenoble, **fiche n°26831**

Auteur : Roberto Manuel TELLEZ-GIRON LOPEZ

I.E.C. Mexico et I.A.Grenoble

Edition : INPG - Institut National Polytechnique de Grenoble, Université Scientifique et Médicale de Grenoble

Thèse soutenue le 22 Mars 1974

Jury : président : R. Pauthenet ; examinateurs : R. Perret, C. Durante, R. David, P. Deschizeaux, E.G. Leon-Lopez.

Document de 146 pages.

Ce travail de thèse entre dans le cadre d'un contrat du Laboratoire d'Automatique de Grenoble avec Sescosem, une entreprise de semi-conducteurs dont l'usine se situait à Saint-Egrève en périphérie de Grenoble.

Le présent fichier PDF fournit :

- la page de couverture,
- la page des remerciements,
- les 3 pages du sommaire
- les 10 pages de l'introduction.

Pour utiliser ce document, mentionnez l'INPG, ainsi que ACONIT n° **26831**.

Il est rappelé que la loi sur les droits d'auteur n'autorise que les reproductions partielles de documents à titre individuel et pour des motifs de recherche.

Fiche rédigée le 2/06/2018 par Jean Ricodeau.

N^oC.N.E.S. : A.O. 9649

THÈSE

présentée à

L'UNIVERSITÉ SCIENTIFIQUE ET MÉDICALE DE GRENOBLE

et à

L'INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE

pour obtenir

LE TITRE DE DOCTEUR-INGÉNIEUR

PAR

Roberto Manuel TELLEZ-GIRON LOPEZ

I.C.E. (MEXIQUE) de I.A. (GRENOBLE)

CONTRIBUTION A L'ETUDE DU TEST ALEATOIRE
DES SYSTEMES LOGIQUES

Soutenue Le 22 Mars 1974, devant la Commission d'Examen

Monsieur R. PAUTHENET

Président

Messieurs R. PERRET
C. DURANTE
R. DAVID
P. DESCHIZEAUX
E.G. LEON-LOPEZ

} Examinateurs

Notre travail de recherche ici présenté a été effectué au Laboratoire d'Automatique de Grenoble grâce à l'appui des Ministères des Affaires Etrangères et de l'Education Nationale, ainsi que du Centre de Recherches et d'Etudes Avancées de l'Institut National Polytechnique de Mexico et du Conseil National des Sciences et de Technologie, qui ont bien voulu nous accorder une bourse d'études.

Monsieur R. PAUTHENET, Directeur de l'Ecole Nationale Supérieure d'Electrotechnique et Génie Physique de Grenoble,

Monsieur R. PERRET, Directeur du Laboratoire d'Automatique de Grenoble,

Monsieur C. DURANTE, Maître de Conférences au Laboratoire d'Automatique de Montpellier,

Monsieur R. DAVID, chargé de recherche au Laboratoire d'Automatique de Grenoble,

Monsieur P. DESCHIZEAUX, attaché de recherche au Laboratoire d'Automatique de Grenoble,

Monsieur E.G. LEON-LOPEZ, professeur au Centre de Recherche et d'Etudes Avancées de l'Institut National Polytechnique de Mexico,

nous ont fait l'honneur de participer à notre jury et ont collaboré à des titres divers à la réalisation de cette étude : qu'ils acceptent de recevoir nos plus vifs remerciements.

Messieurs G. BLANCHET, M. PEYREMORET, T. BLANC, P. CHAUVÉAU, A. ROUSSET, Madame C. GOYON, le personnel du service de reprographie et beaucoup d'autres de nos camarades du Laboratoire d'Automatique nous ont également apporté leur aide et nous leur exprimons notre vive reconnaissance.

S O M M A I R E

	Pages
1 - INTRODUCTION.	1-1
1ère P A R T I E : Conception de la machine à tester.	
2 - PRINCIPE DE LA MACHINE A TESTER.	2-1
2.1 - Test de fonctionnement identique.	2-1
2.2 - Test avec modèle.	2-4
2.3 - Définition de la structure de la machine à tester.	2-6
3 - TEST AVEC MODELE CABLE.	3-1
3.1 - Le modèle.	3-1
3.1.1 - Le principe du modèle-générateur.	3-1
3.1.2 - Réalisation du modèle.	3-3
3.2 - Obtention des vecteurs d'entrée et de sortie.	3-10
3.3 - Unités d'aiguillage.	3-11
3.4 - Comparateur.	3-11
3.5 - Unités de détection de configuration.	3-11
3.6 - Unités de déduction du nombre de descendants, de déduction du nombre de bits à prélever, de prélèvement et de génération des signaux de déblocage.	3-12
3.7 - Le registre générateur de la séquence binaire pseudo-aléatoire.	3-16
3.8 - Unité de détection d'une configuration donnée du registre générateur de la séquence pseudo-aléatoire	3-17
3.9 - Compteurs.	3-20
4 - TEST DE FONCTIONNEMENT IDENTIQUE.	4-1
5 - UNITE DE COMMANDE ET DE SYNCHRONISATION.	5-1
5.1 - Pupitre	5-2
5.1.1 - Commandes du pupitre.	5-2
5.1.2 - Visualisations.	5-5
5.2 - L'unité de commande et de synchronisation.	5-5
5.2.1 - Unité de traitement des signaux d'horloge	5-5
5.2.2 - Registre de synchronisation.	5-7
5.2.2.1 - Le problème de l'initialisation.	5-7

	Pages
5.2.2.2 - Le registre.	5-8
5.2.3. - Système séquentiel de commande.	5-10
5.2.3.1 - Structure de l'automate.	5-10
5.2.3.2. - Description du fonctionnement.	5-14
6 - CONSTRUCTION DE LA MACHINE A TESTER.	6-1

2ème P A R T I E : Etude théorique du test aléatoire

7 - TEST DES CIRCUITS COMBINATOIRES.	7-1
7.1 - Notation et hypothèses.	7-1
7.2 - Stratégie du test.	7-2
7.2.1 - Probabilité de ne pas tester un point a_1 .	7-3
7.2.2 - Probabilité de ne pas tester au moins un point parmi m.	
7.2.3 - Probabilité de ne pas tester n points.	7-4
7.2.4 - Test d'un système combinatoire.	7-5
7.3 - Application.	7-7
8 - PROPRIETES DES SYSTEMES SEQUENTIELS SOUMIS A UNE SEQUENCE D'ENTREE ALEATOIRE.	8-1
8.1 - Définitions et notation.	8-1
8.2 - Réponse d'un automate fini à une séquence d'entrée aléatoire.	8-2
8.3 - Application des chaînes de Markov à l'étude de l'évolution d'un automate excité par une séquence d'entrée aléatoire.	8-3
8.4 - Classification des états d'un automate.	8-5
8.5 - Evolution à l'intérieur d'un groupe ergodique régulier	8-8
8.5.1 - Nombre de passages dans chaque état.	8-9
8.5.2 - Probabilité d'être passés dans un état stable.	8-9
8.5.3 - La test des transitions.	8-10
8.6 - Les groupes ergodiques cycliques.	8-12
8.7 - Les groupes de passage.	8-12
8.8 - Stratégies de test.	8-12
8.8.1 - Automates ayant un graphe de transitions fortement connexe.	8-12
8.8.2 - Automates avec groupes de passage.	8-13

	Pages
9 - TEST DES CIRCUITS SEQUENTIELS.	9-1
9.1 - Définitions et hypothèses.	9-2
9.2 - Circuits séquentiels avec un graphe fortement connexe.	9-3
9.2.1 - Test avec modèle câblé	9-3
9.2.1.1 - Circuits homogènes.	9-4
9.2.1.2 - Circuits non homogènes.	9-5
9.2.2 - Test de fonctionnement identique.	9-21
9.2.2.1 - Circuits asynchrones complets homogènes.	9-21
9.2.2.2 - Circuits asynchrones complets non homogènes.	9-22
9.2.2.3 - Circuits asynchrones incomplets.	9-22
9.3 - Circuits séquentiels avec un graphe non fortement connexe.	9-23
9.3.1 - Test avec modèle câblé.	9-23
9.3.1.1 - Circuits avec groupes de passage et une seule classe finale.	9-23
9.3.1.2 - Circuits avec groupes de passage et plusieurs classes finales.	9-34
9.3.2 - Test de fonctionnement identique.	9-36
10 - CONCLUSIONS.	10-1
 Annexe 1 - Séquences binaires pseudo-aléatoires.	 A1-1
Annexe 2 - Un premier essai de localisation de pannes.	A2-1
Annexe 3 - Travaux de l'équipe de RAULT sur le test probabiliste	A3-1

BIBLIOGRAPHIE ET REFERENCES.

1 - INTRODUCTION

L'énorme expansion connue dernièrement par la micro électronique, et la multiplication de ses applications à tous les domaines, a fait que le problème du test des unités logiques a pris une importance capitale.

Qu'il s'agisse du test pendant la production où à la fin de celle-ci, du test à la réception ou du dépannage des unités en cours d'utilisation, le besoin de méthodes de test performantes est fondamental. L'importance des travaux en cours visant au développement de méthodes de test peut être évaluée par le volume des publications qui, sur ce sujet, apparaissent dans les revues scientifiques et techniques spécialisées.

Ce n'est pas notre intention de faire ici un exposé, même bref, des principales méthodes existant actuellement. Ce travail a déjà été fait par ailleurs à plusieurs reprises. Nous pouvons signaler notamment le très intéressant tour d'horizon que sur cette question a rédigé J. THUET [10].

Nous allons essayer de situer notre travail, d'une façon qualitative, par rapport à l'ensemble des méthodes existantes. Pour faire ceci nous allons évoquer d'abord et sommairement, plusieurs questions que nous considérons importantes.

Nous pouvons dire d'une façon simple que le test d'un système logique est la vérification de son fonctionnement dans les conditions d'utilisation prévues. Une telle vérification peut être poussée au-delà des conditions normales d'utilisation de façon à laisser une marge de sécurité convenable.

Le but poursuivi par le test d'un système logique peut se situer à deux niveaux différents :

- on peut être intéressé pour savoir uniquement si son fonctionnement est correct ou non, sans essayer de trouver les causes d'un éventuel défaut (test de détection),
- on peut chercher à déterminer l'origine d'un défaut afin de simplifier la tâche de le réparer (test de localisation ou de diagnostic).

La détection des pannes, c'est-à-dire des effets produits par un défaut, est donc un premier stade du test des systèmes logiques qui peut, d'ailleurs, être suffisant si nous testons, par exemple, un circuit intégré sur lequel toute réparation est pratiquement impossible : l'unité en panne est simplement rejetée et remplacée par une autre sans défaut.

La localisation des défauts constitue un stade supérieur : ici l'origine de la panne est cherchée de façon à le cerner le plus précisément possible en vue d'une réparation postérieure. Le problème est bien plus complexe.

Nous pouvons définir trois types de test auxquels nous pouvons soumettre un système logique :

- test paramétrique : il consiste en la vérification des caractéristiques électriques statiques du circuit par rapport aux normes fournies par le constructeur (tensions, courants, impédances, entrance, sortance,....)
 - test dynamique : c'est la vérification des caractéristiques temporelles du circuit dans les conditions réelles d'utilisation.
 - test fonctionnel : il consiste en la vérification de la fonction logique du système, jugée d'après les niveaux logiques apparaissant en sortie à la suite de l'application de combinaisons déterminées des niveaux logiques d'entrée.
- Un tel type de test est souvent appelé test logique statique.

Une autre question très importante concerne la nature des pannes que nous pouvons traiter dans un système logique. Sans entrer pour le moment dans les détails techniques, et en ne faisant attention qu'à la façon dont les pannes peuvent se manifester sur les sorties du système, il est possible de les classer en deux groupes :

- pannes détectables : celles dont l'effet sur la fonction du circuit est discernable au niveau des sorties
- pannes indétectables : ce sont les pannes qui n'ont pas d'effet sur les niveaux logiques des sorties normales du système.

Elles pourraient être décelées à l'aide de points de test supplémentaires, par exemple.

Parmi l'ensemble des pannes détectables nous pourrions définir les pannes indiscernables, comme les éléments des sous-ensembles de pannes dont l'effet sur les niveaux logiques des sorties du circuit sont les mêmes.

Le nombre de pannes pouvant affecter au même temps un circuit est un facteur important. On distingue les pannes uniques ou simples des pannes multiples. Ces dernières présentent des difficultés supplémentaires du fait des éventuels effets de masquage.

Il existe des circuits dont la structure redondante fait que des pannes simples ne soient pas détectables. Le défaut ne se manifestera sur les sorties que lorsqu'une autre panne viendra annuler l'effet de la redondance, et dans ce cas l'importance de considérer les pannes multiples est évidente.

Il faut considérer aussi le caractère permanent ou intermittent des pannes. Une panne est dite permanente si, une fois qu'elle est apparue, elle ne disparaît qu'à la suite d'une opération expresse et réussie tendant à la supprimer. Les pannes intermittentes font sentir leurs effets d'une façon temporaire plus ou moins hasardeuse ; elles peuvent être dues à de mauvais contacts ou à des courts-circuits non francs, par exemple.

La procédure à utiliser pour le test d'un système logique dépend fondamentalement du type de circuit auquel l'on a affaire : il peut être combinatoire ou séquentiel, et les procédures sont différentes dans les deux cas. Un circuit combinatoire aura un nombre d'entrées E qui définira le nombre total de combinaisons différentes possibles des variables d'entrée (2^E). Une procédure simple consisterait à appliquer, l'une après l'autre, toutes les combinaisons possibles dans un ordre quelconque. Cette suite de configurations des variables d'entrée est appelée séquence de test.

Le cas des circuits séquentiels est plus complexe car, de par la nature même de ces systèmes et dans une utilisation normale, l'ordre d'application des différentes combinaisons d'entrée est bien défini. En

plus de cela, à une même configuration ou vecteur d'entrée peuvent correspondre plusieurs états internes, auxquels peuvent correspondre différentes configurations de sortie.

L'obtention d'une séquence de test peut être faite, aussi bien pour les circuits combinatoires que pour les séquentiels, selon deux approches différentes :

- test déterministe
- test non déterministe

Nous appellerons test déterministe celui avec lequel une séquence de test est obtenue pour un système logique particulier par des calculs qui tiennent compte de sa structure ou de sa fonction, de la nature des pannes considérées dans des hypothèses de départ bien définies, et qui a pour but de détecter (et éventuellement localiser) toutes ces pannes. La séquence obtenue est alors appliquée au circuit qu'on teste par un moyen quelconque (manuellement, à l'aide d'une bande perforée ou d'une bande magnétique, d'une mémoire, etc...). La vitesse à laquelle la séquence est débitée sur le circuit à tester varie en fonction du support employé, mais dans la plupart des cas elle n'est pas très élevée.

Le test non déterministe utilise pour la génération de la séquence de test, des moyens autres que le calcul mathématique : on le fait en général à l'aide de signaux produits par des générateurs électroniques, ces signaux pouvant avoir ou non un caractère aléatoire (on pourrait employer la sortie d'un compteur, celle d'un générateur pseudo-aléatoire, etc...). Ces signaux peuvent être utilisés directement, ou traités par un moyen quelconque (un décodage, par exemple) afin d'obtenir la séquence de test proprement dite, qui peut être appliquée aux circuits à tester à une très grande vitesse.

Une séquence de test non déterministe ne dépend pas directement du circuit que l'on teste, ni d'un ensemble de pannes défini à l'avance, et c'est pourquoi, en général, nous ne pouvons pas dire a priori qu'une telle séquence fournit un test du réseau à 100%, ce qui ne veut pas dire qu'elle ne peut pas le faire. Il faut cependant définir les critères qui permettent

de juger l'efficacité de ces séquences, qui peut être définie, par exemple, comme la probabilité d'avoir complètement vérifié le fonctionnement du circuit dans les hypothèses particulières considérées.

Nous allons convenir que le terme "test aléatoire" sera appliqué lorsqu'une séquence de test non déterministe est générée à l'aide de signaux aléatoires ou pseudo-aléatoires.

Il reste à considérer la façon d'utiliser les niveaux logiques des sorties du circuit, en réponse à la séquence de test, pour décider s'il est en panne ou non. Nous pouvons parler de deux approches différentes :

- détection déterministe : c'est le cas où l'on connaît a priori la séquence de sortie du circuit sans panne en réponse à la séquence de test, ou bien si l'on compare la sortie du circuit que l'on teste avec celle d'un circuit étalon réputé sans défaut.
- détection probabiliste : dans ce cas on utilise plutôt que la suite de valeurs logiques de sortie du circuit que l'on teste, des grandeurs⁽¹⁾ telles que la valeur moyenne de la séquence de sortie, etc...

De ce que nous venons de voir apparaît le concept de circuit étalon ou de référence. Le schéma du test par comparaison est classique (Fig.1-1).

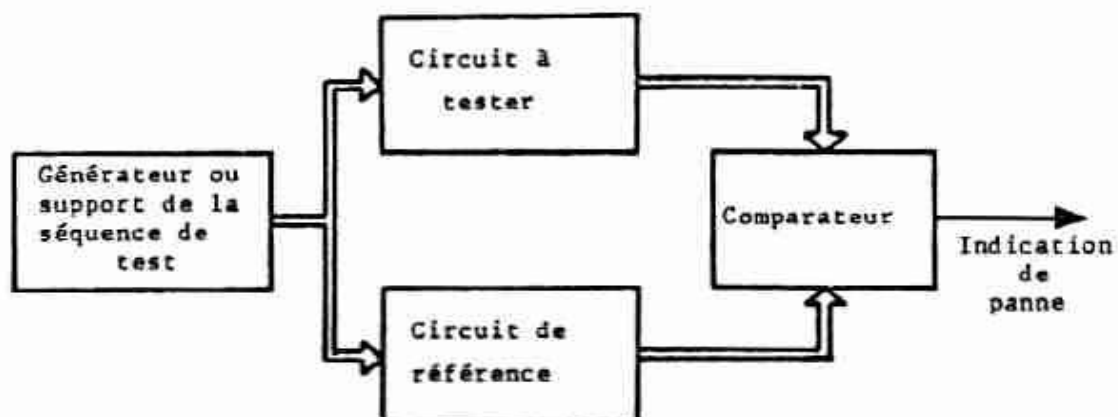


Figure 1-1

Il est important de considérer la façon dont le test lui-même se réalise :

- test "en ligne" : ce type de test implique que l'unité à tester n'est pas extraite de l'ensemble fonctionnel auquel elle appartient, et que la vérification de son fonctionnement est faite pendant qu'elle est en train d'être utilisée, ou pendant les intervalles d'interruption qui, de ce fait, doivent être les plus courts possibles. Ces contraintes sont assez importantes.
- test "hors-ligne" : l'unité à tester est extraite de l'ensemble à l'intérieur duquel elle opère, puis testée manuellement ou par insertion dans un banc de test automatique (le concept de "testeur" apparaît) ; ceci demande un certain temps de manipulation du circuit. Ensuite l'unité est réintégrée à son ensemble opérationnel ou remplacée par une autre (ou éventuellement réparée) si elle est en panne. Un point intéressant que nous voulions souligner est que les opérations décrites demandent un temps de manipulation qui peut varier en fonction des moyens dont on dispose mais qui sera, en général, au minimum de l'ordre de quelques secondes. Cet argument sera repris un peu plus loin, lorsque nous parlerons du test aléatoire tel que nous le concevons. Signalons aussi que le test des unités en ligne de production ou à la réception, tombe dans la catégorie des tests "hors-ligne".

La plupart des travaux existant à présent portent sur le test déterministe. Les stratégies utilisées sont d'une grande diversité. Les hypothèses de départ s'adressent le plus souvent au type de pannes à considérer (collages à 1 et à 0, simples ou multiples, permanentes ou intermittentes, etc...) et au réseau à étudier (à parité ou non, redondant ou non, combinatoire ou séquentiel, etc...), tandis que le but souvent cherché est celui de rendre la longueur de la séquence de test la plus courte possible.

D'autres travaux n'ont pas pour but immédiat la détermination

d'une séquence de test, mais ils étudient la nature même des pannes (recherche de classes d'équivalence, par exemple). D'autres s'intéressent au problème à son origine : ils cherchent à introduire la notion de test dès la conception des systèmes logiques, c'est-à-dire de les rendre plus facilement testables, ou même de faire que ces systèmes se testent eux-mêmes. La complexité du problème du test des circuits logiques est énorme du fait que très souvent l'on s'efforce, pour trouver des méthodes s'appliquant à des unités qui n'ont pas été conçues pour être testées, ce qui fait que les solutions trouvées sont, assez souvent, particulières et incomplètes. Néanmoins, l'étude de ces cas a le rôle incontestable de fournir des critères de testabilité qui pourront, par la suite, être appliqués au stade de la conception des systèmes logiques.

Le test aléatoire présente, d'abord, une caractéristique intéressante dans la simplicité de génération de la séquence de test. L'utilisation de signaux aléatoires ou pseudo-aléatoires est justifiée par les propriétés d'indépendance et de non-corrélation qui en découlent. Ce type de test peut être traité selon plusieurs optiques mais la philosophie qui, à notre avis, doit lui servir de base est celle de la simplification des calculs appuyée sur des considérations pratiques. Le test aléatoire s'oppose, d'une certaine façon, à la minimisation stricte de la longueur des séquences de test dans la mesure où, comme il a été indiqué plus haut pour le test hors-ligne, le temps pris par la manipulation du circuit fait que la différence entre un cycle complet de test avec une séquence minimale et avec une autre non minimale, reste pratiquement nulle.

Nous ne pouvons pas dire que les tests déterministe et aléatoire sont concurrentiels l'un de l'autre : leurs domaines d'application se recouvrent en partie mais ils ne sont pas identiques. Les unités arithmétiques, par exemple, possèdent des structures qui se prêtent bien au test de type déterministe. Le test aléatoire s'applique bien à des systèmes d'organisation moins rigoureuse mais dont la complexité peut, tout de

même, amener à des calculs longs et coûteux si l'on veut élaborer un test déterministe de longueur minimale, sans trop restreindre le type de pannes à traiter. Le test aléatoire, tel que nous l'envisageons, se prête le mieux pour de petites et moyennes unités logiques, dont l'étude préalable visant à la détermination d'une séquence de test serait longue (mais on pourra rechercher des améliorations permettant le test de plus gros ensembles). En effet, une séquence de test, aléatoire ou pseudo-aléatoire, de grande longueur, appliquée à une grande vitasse, peut facilement fournir une durée de test raisonnable, et nous permettre de profiter des considérations simplificatrices offertes par la loi des grands nombres. Si l'on dispose d'un testeur fonctionnant à une vitesse de l'ordre du Mhz (un million de pas de test par seconde), une durée de test d'une seconde permettrait d'envoyer sur le circuit à tester un million de configurations d'entrée et, dans de telles conditions, on peut essayer de caractériser les systèmes logiques par des grandeurs qui, déterminées sans avoir à entrer dans le détail fin du réseau, permettent d'évaluer l'efficacité de ce test. Exceptionnellement on pourrait avoir des durées de test plus grandes.

Il faut remarquer le fait que le test aléatoire, de par sa nature même, ne peut donner la certitude d'avoir testé complètement un système logique mais une probabilité de l'avoir fait, qui devra être suffisamment proche de l'unité pour que le test soit valable. Cette notion introduit le concept de qualité de test, que nous définirons par la suite. En général, nous pouvons dire que cette qualité sera fonction de la longueur de la séquence de test et de la complexité du circuit.

Il existe très peu de publications au sujet du test aléatoire. Citons, en France, les travaux de GIRARD, RAULT et TULLOE [1, 2] du Laboratoire Central de Recherches de THOMSON-CSF. Dans une première phase, ces recherches s'orientent dans le sens d'une simulation des pannes du circuit, et de la détermination par une méthode de MONTE-CARLO d'une séquence de test dont la longueur est fonction de certains paramètres, tel le nombre de pannes à détecter. Une autre approche y est traitée :

le circuit à tester et un circuit de référence sont excités par une séquence d'entrée aléatoire, et le test est arrêté lorsque les sorties correspondantes ne sont plus concordantes. Il reste à déterminer la longueur minimale de test qui offrira une probabilité acceptable de prendre comme bon un circuit qui serait en panne. Plusieurs méthodes sont proposées pour calculer cette longueur (cf. Annexe 3). Cependant, les critères utilisés reflètent une optique assez différente de celle que nous avons brièvement exposée plus haut. En effet : les séquences employées sont toujours courtes, ce qui empêche forcément l'utilisation de formules simplifiées ; les calculs restent lourds et, à ce sujet, les avantages par rapport au test déterministe ne sont pas évidentes.

Les recherches, dans le domaine du test aléatoire au sein du Laboratoire d'Automatique de Grenoble, ont débuté avec le travail d'AGUILHON et d'ISSERNIO en 1970 [3]. Ils ont établi, dans le cadre d'un projet d'élèves, les bases du test par comparaison avec un modèle-générateur (dont le principe sera décrit dans le chapitre 3), et réalisé une petite machine à tester à l'aide des simulateurs logiques du laboratoire. La méthode a été simulée aussi sur ordinateur, et les résultats ont encouragé la décision de construire la machine de test qui fait l'objet de notre travail. La construction de cette machine a été décidée non pas dans le but principal d'avoir un testeur, mais d'avoir un outil qui permette de vérifier la méthode, et qui facilite de par les résultats obtenus, la mise au point de nouvelles idées sur la détection et sur la localisation des pannes.

Deux autres projets d'élèves ont été réalisés au LAG sur le sujet du test aléatoire : un premier essai de localisation de pannes par CHALAYE et LEVY [4], et le travail de JACQUEMOND et DELAYE [5] visant à la détermination de paramètres caractérisant les circuits logiques, en vue de la simplification du problème de la détermination de la qualité du test. Dans la 2ème partie de ce mémoire nous ferons souvent référence à ce dernier. Enfin, nous avons eu l'occasion de présenter deux communications concernant les travaux réalisés au LAG

sur le test aléatoire [7, 8].

Dans la première partie du présent travail nous exposerons le principe de la machine à tester (chapitre 2), nous décrirons en détail son fonctionnement (chapitres 3, 4 et 5) et nous donnerons aussi les grandes lignes de sa réalisation pratique (chapitre 6). La deuxième partie traitera certains aspects théoriques et d'application du test aléatoire : le test des circuits combinatoires (chapitre 7), la présentation des chaînes de Markov et l'établissement de concepts concernant les circuits séquentiels (chapitre 8) qui seront traités avec plus de détail à la fin de cette partie (chapitre 9). Enfin, nous traitons en annexe, quelques sujets étroitement liés avec notre travail, telles que les séquences binaire pseudo-aléatoires (annexe 1), le travail de CHALAYE et LEVY sur la localisation de pannes (annexe 2), et un résumé très succinct des travaux de l'équipe de RAULT (annexe 3).