gipsa-lab

TITRES ET TRAVAUX SCIENTIFIQUES

de

René DAVID

Directeur de recherche émérite
au Centre National de la Recherche Scientifique
(Département Sciences & technologies de l'information et de la communication,
STIC, section 7)

31 décembre 2009

grenoble
image
parole
signal
automatique

Département Automatique
Domaine Universitaire, BP46
F-38402 Saint Martin d'Hères cedex
Tél. +33 (0)4 76 82 62 44
Fax.+33 (0)4 76 82 63 88

www.gipsa-lab.fr
prenom.nom@gipsa-lab.inpg.fr

Tutelles
INPG, CNRS,
UJF, Stendhal

Plan

****

I. Travaux de recherche

A. Automatismes logiques

a) Réalisation modulaire de systèmes séquentiels (les CUSA)

Thèse : "Réalisation de systèmes séquentiels asynchrones par interconnexion simple de cellules séquentielles identiques".

En 1954, D.A. HUFFMAN proposa une méthode, devenue classique, pour faire la synthèse de systèmes séquentiels. Depuis, de nombreux travaux ont apporté des améliorations à cette méthode, qui reste toutefois limitée quant à la dimension des problèmes traitables. Dans notre thèse (1969), nous avons proposé une méthode originale de conception modulaire, associant une cellule à un état stable, méthode qui supprimait à la fois les délicats problèmes du codage et des aléas. On ne ramène pas la synthèse d'un système séquentiel à celle d'un système combinatoire que l'on sait réaliser (c'est le principe de la méthode de Huffman), mais on le traite comme un problème d'une nature différente. La méthode repose sur deux principes : 1) la modularité comme nous l'avons dit, et 2) la prise en compte, dès la conception du module de base, des temps de propagation dans les composants. On a défini ainsi la cellule connue sous le nom de CUSA (Cellule Universelle pour Séquences Asynchrones) qui inclut un retard aux caractéristiques bien définies. On obtient une méthode simple et systématique de synthèse, avec ses règles propres se simplifications.

Prolongements de la thèse

La méthode, initialement étudiée pour la synthèse à partir d'un tableau d'états (comme celle d'Huffman) a été étendue à la synthèse à partir de graphes, puis s'est adaptée sans difficulté aux méthodes modernes de représentation graphique des systèmes séquentiels que sont le réseau de Petri et le Grafcet. C'est, à notre connaissance, la seule méthode qui ait été proposée pour la synthèse cablée à partir d'un grafcet de structure quelconque (les méthodes qui marchent dans des cas particuliers simples ne manquent pas).

Notre thèse a eu des prolongements scientifiques, dans notre laboratoire (3 thèses dont une d'Etat en sont, au moins en partie, des prolongements) mais, également dans d'autres laboratoires français et étrangers (Bulgarie, Mexique, Algérie).

Si cette méthode facilite la synthèse, les circuits obtenus présentent en outre de remarquables aptitudes au test et à la maintenance. Ces propriétés ont été mises en évidence et exploitées pour la conception de circuits totalement autocontrôlables (autotestables et sûrs en présence de pannes) [RI 9]. Les CUSA nous ont également permis d'apporter une solution à un problème jusqu'alors non résolu et qu'un auteur américain considérait comme insoluble en 1974 [RI 8]. Nous avons pu aussi réaliser des "arbitres" asynchrones, en service dans des matériels commercialisés, grâce aux CUSA [RN 8].

Diverses équipes universitaires ou industrielles, françaises et étrangères, se sont procuré des CUSA en circuits intégrés pour faire des expérimentations. Plusieurs enseignants ont construit des simulateurs avec des CUSA. Des réalisations industrielles sont mentionnées au chapitre V.

Notre méthode de synthèse a été enseignée aussi bien dans les Lycées Techniques qu'au niveau Ingénieur (Grenoble, Paris, Bordeaux, Pau, Albi, etc... et plusieurs villes étrangères). Elle a donné lieu à des enseignements post-scolaires (sessions de perfectionnement, formation continue, stage pour clients, formation professionnelle pour adultes).

Cette méthode a été connue dans bon nombre de pays étrangers. Les CUSA ont été introduites dans plusieurs ouvrages en france et à l'étranger.

Pendant plusieurs décennies à partir de la fin des années 1960, les logiciens français, très bien placés dans la communauté scientifique internationale, ont beaucoup contribué au développement de méthodes modernes de description et de synthèse de commandes séquentielles. Si diverses approches modulaires, appliquées à la résolution de tel ou tel problème, ont été proposées, elles sont toutes postérieures à la nôtre. Même les méthodes programmées qui se sont développées depuis l'apparition des microcalculateurs et des automates programmables (qui ont pris le pas sur les systèmes cablés) gardent une trace implicite de notre travail, par le fait qu'elles ont pour objectif

une transposition programmée quasi-directe d'une représentation graphique, sans passer par l'intermédiaire d'un codage.

b) Autres travaux sur les automatismes logiques

Nous avons travaillé sur les méthodes de description modernes des automatismes logiques que sont GRAFCET et réseau de PETRI (co-création du Grafcet, proposition d'extension de ce modèle en collaboration avec M. Moalla (chercheur de l'IMAG) [RI 17], relations entre Grafcet et réseau de Petri (RdP) [CI 21], notamment), sur la programmation des automatismes logiques décrits par ces modèles (thèse de Silva-Suarez principalement), sur la conception des automatismes répartis (thèses de Ramos-Niembro et de Deneux, contrat [C 6], etc...).

Nos recherches sur ces sujets ont été arrêtés en 1984, afin de mieux nous consacrer à d'autres sujets (test aléatoire, systèmes de productions abordés depuis 1981, puis RdP continus et hybrides depuis 1987). Toutefois, la rédaction de l'ouvrage [O 1] à vocation didactique pour les RdP et le Grafcet, a été l'occasion de faire une présentation formalisée du Grafcet, introduisant une algèbre des événements. Cet ouvrage a été traduit en anglais [O 2] et en chinois [O 3]. Nous avons ensuite été sollicité pour présenter la spécification des automatismes logiques par RdP et Grafcet au Congrès IFAC 1993 [CI 49], et pour présenter le Grafcet dans la revue IEEE Trans. on Control Systems Technology [RI 48].

Le Grafcet est devenu une norme internationale de spécification des automatismes logiques en 1988. Le document établi par la Commission Electrotechnique Internationale en 1988 a été révisé en 2002. Nous avons eu la satisfaction de constater que cette nouvelle version intègre des concepts proposés ou défendus dans [O 1 & 2] et [RI 48] (concepts qui doivent beaucoup au travail de M. Moalla).

Plus récemment, des travaux qui font appel à des concepts assez similaires (modélisation et mise en œuvre d'automatismes logiques, aléas de propagation, aléas de programmation) mais pour étudier des problèmes plus actuels, ont été entrepris dans le cadre de contrats en collaboration.

Le premier, dans le cadre d'un contrat Rhône-Alpes, en collaboration avec d'autres équipes de la Région et l'Université de Toronto (W. M. Wonham) [C 21] a porté sur la commande et la supervision de systèmes. Ce travail nous a conduits à définir le concept de "commande supervisée" qui sépare clairement et hiérarchise la commande d'une part (qui force certains événements) de la supervision d'autre part (qui restreint le fonctionnement en empêchant certains événements de se produire, c'est-à-dire au sens de Ramadge-Wonham) [CI 52, RI 51].

Le second s'est effectué dans le cadre d'un projet européen [C 22]. Nous avons travaillé en collaboration avec P. Caspi du laboratoire Vérimag. L'objet du projet CRISYS était le fonctionnement sûr des systèmes de commande décentralisés. Lorsque l'on programme un système de commande sur un seul site (un seul calculateur), une programmation synchrone (langage LUSTRE par exemple) garantit un fonctionnement correct. Si le système est composé de plusieurs sites (chacun programmé en synchrone), comment peut-on garantir que l'ensemble fonctionnera de façon cohérente ? Des propriétés et méthodes de vérification relatives à ce problème ont été développées.

B. Test aléatoire de circuits digitaux

a) Test aléatoire proprement dit

Ce travail a commencé en 1970, timidement. Alors que les méthodes de test déterministes, précises et rigoureuses, se développaient activement, le test aléatoire apparaissait à certains comme un divertissement pour universitaires. Puis, au fil des années, des utilisations industrielles et des résultats théoriques sont venus confirmer l'intérêt pratique incontestable de ce type de test. Les techniques de test intégré (Built-in test), actuellement très répandues, utilisent fréquemment des séquences de test pseudo-aléatoire. Nous avons étudié le test aléatoire des circuits combinatoires, des mémoires, des circuits séquentiels intégrés à petite ou moyenne échelle, et des microprocesseurs. L'application à un microprocesseur réel a été faite.

A peu près en même temps que dans notre laboratoire, et indépendamment, des recherches sur le test aléatoire ont commencé dans l'équipe de J.-C. Rault à Thomson/CSF, dans l'équipe de E. J. McCluskey à Stanford, et dans l'équipe de P. Agrawal et V. D. Agrawal à la Automation Technology Company à Champaign. Ces équipes ont cessé cette activité vers 1975-78. Nous avons été les seuls à aborder l'étude théorique des circuits de la complexité d'un microprocesseur, pendant plusieurs années où le test aléatoire semblait délaissé par les autres chercheurs. Vers 1980, des travaux sur ce sujet ont repris à I.B.M., en particulier dans les équipes de P. H. Bardell à Poughkeepsie et T. W. Williams à Boulder, à Stanford, et dans quelques autres endroits. Nous sommes (tant pis pour le manque de modestie !) considérés par la communauté scientifique comme les spécialistes du test aléatoire. Nous avons été les premiers à publier des résultats chiffrés sur les longueurs de test aléatoire à appliquer pour obtenr une quantité de détection donnée (circuits intégrés combinatoires, mémoires, boîtiers de bascules, de compteurs, de registres, puis de microprocesseurs). Nous avons aussi été les seuls à présenter des résultats expérimentaux de test aléatoire. Ces expériences ont pu être faites grâce aux testeurs aléatoires construits dans notre laboratoire (le premier en 1973 et le deuxième en 1978 pour les circuits intégrés à petite ou moyenne échelle, les troisième et quatrième en 1981 et 1983 pour les microprocesseurs MC6800).

La dernière machine réalisée, opérationnelle en avril 1983, comporte un générateur entièrement cablé. Ce dispositif, qui a donné lieu à un brevet [B 2] permet d'appliquer 1 million d'instructions aléatoires en 4 secondes, tout en respectant les spécifications de fonctionnement. Ce dispositif a permis d'effectuer des tests sur environ 250 microprocesseurs. Les résultats ont dépassé nos espérances : nous avons détecté beaucoup plus de circuits défectueux que des tests déterministes n'en avaient trouvés (quelques précisions sont données au chapitre II).

Nous avons eu d'assez nombreux contacts industriels, la plupart du temps à l'initiative de ces industriels. Les relations les plus importantes et les plus nombreuses sont avec le CNET (Centre National d'Etudes des Télécommunications) et I.B.M. Voir chapitre IV.

Le CNET-Grenoble a produit un circuit intégré comportant un microprocesseur avec test intégré (MTI). Les dispositifs de test aléatoire et d'analyse de signature qui sont sur la puce occupent environ 14 % de la surface totale qui est de 24 mm^2. Cette réalisation, à laquelle nous avons collaboré est grandement basée sur les travaux antérieurs de notre équipe. Ce travail a donné lieu à des publications communes [CI 33, CI 34, RI 30].

Divers travaux ont été menés dans le cadre de contrats avec le CNET. Une étude sur les mesures permet de justifier la confiance dans une méthode de test [C 15, CI 37, RI 31]. Il s'agit d'un travail à caractère théorique sur les mesures pour qualifier un test et sur les relations entre ces mesures. Ce travail, qui est une ébauche de théorie du test, a débouché sur une nouvelle approche pour estimer la longueur d'un test aléatoire. C'est ainsi que l'on a pu diviser par 10 la longueur de test suffisante pour le circuit MTI du CNET, en faisant certaines hypothèses. Un travail a montré que la performance d'un test aléatoire n'est pas trop sensible aux hypothèses sur les probabilités conditionnelles d'occurrence des diverses fautes dans un circuit combinatoire [C 17, CI 50]. Dans le cadre de [C 19], on estime les performances d'une séquence de test aléatoire sur les futurs circuits d'une fabrication, à partir des résultats obtenus sur un échantillon composé des premiers circuits fabriqués [RI 43]. Une étude des fautes de retard, avec application en particulier au test aléatoire, a également été faite [C 20, CI 53].

Le CNET a fabriqué plusieurs circuits avec test aléatoire intégré, après le MTI. Il a aussi réalisé un logiciel destiné à une conception automatique (conception du circuit, calcul de la longueur de test aléatoire nécessaire, et modification éventuelle du circuit pour diminuer la longueur de test). C'est le projet SITAR (Système d'Intégration de Test Aléatoire Réaliste). Ceci s'est fait avec notre collaboration (en particulier thèse d'E. Simeu).

Un contrat avec I.B.M. Bordeaux, nous a conduits à étudier le test aléatoire de mémoires (thèse d'A. Fuentes). Ces résultats ont été publiés [CI 27, RI 30, RI 34]. Dans ces travaux, il est apparu que toutes les fautes usuelles étaient testées par une séquence aléatoire dans un temps proportionnel au nombre n de mots de la mémoire (pour une incertitude donnée). Ce résultat était surprenant, notamment parce que, pour certaines de ces fautes, il est connu que le test déterministe a une longueur en $O(n \log n)$ (borne inférieure démontrée). Ceci nous a conduit à démontrer cette propriété de linéarité, en collaboration avec des collègues canadiens [CI 48, RI 49]. Dans ces travaux, la linéarité était prouvée mais la borne supérieure théorique obtenue était loin de la valeur réelle de la longueur de test. Un travail ultérieur a permis de trouver un résultat puissant sur le test aléatoire des circuits séquentiels ; ce résultat, appliqué aux mémoires, permet de prouver toutes les propriétés qui avaient été observées sur le test des mémoires, y compris la linéarité avec une très bonne approximation de la longueur [CI 57].

Une machine permettant d'effectuer le test aléatoire de microprocesseurs MC6800 a été fabriquée par nos soins en 1984, pour les besoins du CEA-Valduc [C 11]. Une publication de 1989, par des ingénieurs du CEA, montre que cette machine détecte plus de circuits défectueux que toutes les méthodes déterministes qui ont été appliquées. A la demande du CEA, nous avons diagnostiqué les fautes qui ne sont détectées que par le test aléatoire [C 18, CI 47, RI 40], prouvant ainsi que ces circuits sont bien défectueux (mais pas le testeur !). Le diagnostic des fautes par des expériences de test aléatoire ou partiellement aléatoire a, par ailleurs, été considéré sous différents aspects dans les thèses de X. Fédi, A. Fuentes, et J.-M. Liu.

Une méthode permettant d'estimer la détectabilité d'un circuit en se basant sur une simulation relativement courte a été proposée. Elle permet de prévoir la couverture de faute qui sera obtenue par une similation longue (thèse de V. Prépin) [CI 54, CI 55].

Un travail effectué de 1998 à 2002 en collaboration avec le LIRM Montpellier a consisté à étudier les performances d'une séquence de test aléatoire dont les vecteurs successifs sont adjacents. Les compétences du LIRMM (en particulier sur les fautes de retard) et du LAG (test aléatoire) ont été très complémentaires et ont permis le co-encadrement de la thèse d'A. VIRAZEL (non officiel mais effectif), soutenue en 2001. Cette étude a comporté trois étapes : 1) on montre qu'une séquence RSIC (random single input change), générée par logiciel, est efficace pour détecter les fautes de retard ; 2) on propose une méthode de génération matérielle (nécessaire pour être intégrée) de séquences RSIC qui ont d'aussi bonnes propriétés ; 3) on montre que la séquence de test en question permet aussi de détecter d'autres types de fautes, d'où son caractère "universel". [RI 53, RI 54, CI 58, CI 62 à CI 64].

b) Analyse de signature

Le test compact par analyse de signature consiste à observer une fonction compacte de la sortie d'un circuit sous test au lieu d'observer tous les bits. Les premières méthodes ont été des méthodes de comptage. Nous avons été parmi les premiers à proposer l'utilisation de registres à décalages bouclés ([CI 12] juin 1978, basé sur une note interne de janvier 1976, le premier article paru sur ce sujet étant de mars 1977). Notre principal apport était une approche probabiliste basée sur les propriétés statistiques des erreurs (largement utilisée depuis et généralisée aux circuits multisorties, par d'autres auteurs). Les autres méthodes supposaient alors soit que chaque bit avait une chance sur deux d'être faux, soit que l'on avait une définition assez précise des erreurs possibles. L'article [RI 15] basé sur [CI 12] est souvent cité en référence.

En 1984 nous avons proposé la première étude des problèmes posés par l'analyse de signature de circuits multisorties [CI 24, RI 25]. On y introduit des notions nouvelles, en particulier celle de corrélation entre erreurs. Le circuit avec test intégré (microprocesseur et son dispositif de test sur une même puce, voir VI-C) que le CNET a réalisé, avec notre collaboration, utilise ces résultats.

Nous avons été invité en Pologne pour y présenter un panorama sur les méthodes de test compact par analyse de signature [CI 26].

c) Ouvrage de synthèse

Comme le fait apparaître la liste des publications, l'étude du test aléatoire des circuits digitaux a constitué à peu près la moitié de notre travail de recherche. Entre 1970 et 1997, il y a toujours eu au moins un doctorant travaillant sur le test des circuits digitaux (17 thèses). Il nous a paru utile de rédiger un ouvrage de synthèse sur le sujet ; bien que cet ouvrage ait un seul auteur [O 4], P. Thévenod et M. Jacomino ont collaboré très efficacement à sa réalisation.

Deux objectifs ont été poursuivis lors de la rédaction de cet ouvrage. Le premier c'est de partir des bases du test des circuits digitaux, indépendamment du type de test, deterministe ou aléatoire, pour atteindre une connaissance assez avancée du test aléatoire. Le second objectif est d'avoir une présentation pédagogique, que les concepts et méthodes soient faciles à comprendre grâce à de nombreux exemples simples et des figures détaillées. Dans l'avant-propos qu'il a rédigé, T. W. Williams écrit "With the analytic tools developed in this book you will be taken through the frontier of random pattern testing from the fundamentals up to very useful concepts that can be applied in today's designs".

Le contenu repose en grande partie sur les travaux de notre équipe, mais aussi sur les travaux d'autres chercheurs. La concaténation de ces divers résultats laissant des "trous", la rédaction de ce livre a été l'occasion d'ajouter des choses nouvelles, pas publiées ailleurs, afin de faire un ensemble cohérent et complet (pas exhaustif bien sûr !).

C. Performances des systèmes de production

Dans l'équipe, ce domaine de recherche a été abordé à partir de 1981. Notre objectif essentiel est l'*évaluation des performances par des méthodes analytiques* (qui sont environ mille fois plus rapides que les simulations et qui donnent des résultats très proches quand les méthodes sont "bonnes").

La première base de nos études est la thèse d'Y. Dallery qui est une méthode d'évaluation des performances d'un atelier flexible. Cette étude utilise l'approche opérationnelle des réseaux de files d'attente. Elle a été l'occasion d'approfondir l'approche opérationnelle et d'apporter de nouveaux résultats théoriques [CI 25, CI 28]. Elle a permis de résoudre des problèmes d'optimisation : optimisation de la répartition des palettes entre les diverses classes de "clients", optimisation des routages lorsque plusieurs gammes sont possibles pour un même produit [CI 31].

Cette méthode apporte, par rapport aux méthodes classiques, la possibilité de prendre en compte les ratios de production, mais ne considère (comme les autres méthodes classiques) qu'un fonctionnement en régime permanent. Un travail a été effectué pour prendre en compte les pannes qui peuvent survenir dans l'atelier. C'est le travail de thèse de J.-J. Pierrat. Un autre point faible des méthodes applicables aux réseaux de files d'attente est la difficulté de prendre en compte les blocages dus au fait que les files sont de capacité finie. Y. Frein a travaillé sur ce sujet et la thèse d'A. Bouhchouch y était consacrée.

Un autre thème de recherche est l'évaluation des performances d'une ligne de fabrication, dans laquelle les machines ont des taux de pannes et de réparation connus, en fonction des stocks intermédaires. Ce problème, très important d'un point de vue pratique, a été beaucoup étudié dans notre équipe pendant plus d'une décennie. Une méthode analytique, qui procède par agrégation de machines, a été étudiée en collaboration avec un ingénieur de MERLIN-GERIN, C. Terracol [CI 29, RI 26]. Le domaine d'étude a donné lieu à des échanges et/ou collaborations avec des Ingénieurs de la Régie RENAULT (B. Ancelin et A. Semery) avec qui nous avons rédigé un article [CI 30], avec Y. Dallery qui a quitté Grenoble pour le laboratoire MASI (devenu LIP6), X. L. Xie, DEA dans notre équipe puis chercheur à l'INRIA-Lorraine et S. B. Gerschwin du M.I.T.. Gerschwin a défini une méthode de décomposition à partir d'un modèle discret synchrone, alors que nous utilisons un modèle continu. Nos travaux effectués sur ce sujet concernent plusieurs points: 1) un algorithme plus performant et convergeant pour résoudre le système d'équations de Gerschwin [RI 27] alors que celui de Gerschwin ne converge pas toujours ; à l'initiative de Gerschwin, notre algorithme est maintenant connu sous le nom de DDX (de Dallery-David-Xie) ; 2) application de la méthode de décomposition au modèle continu [RI 32] ; 3) étude théorique sur les propriétés du modèle continu : on montre que le modèle continu fournit des bornes au modèle de référence et constitue une très bonne approximation (aujourd'hui, le modèle continu est reconnu et utilisé par tous les chercheurs) [RI 35] ; 4) étude d'une ligne d'assemblage, c'est-à-dire ensemble arborescent de lignes convergeant sur des machines d'assemblage [CI 35], dans le cadre d'un contrat avec RENAULT [C 14]. Cette dernière méthode fonctionne bien lorsque les machines ont à peu près le même débit. Un nouveau travail cherchant à résoudre (mieux) le cas où les machines ont des débits très différents a été fait dans le cadre de la thèse de R. Alvarez.

Plusieurs travaux réalisés par d'autres chercheurs de l'équipe : C. Commault, Y. Frein et Y. Dallery (qui a fait d'autres travaux sur le sujet après avoir quitté Grenoble), ont été publiés sur ce sujet.

Ces divers travaux nous ont permis d'acquérir une très bonne connaissance des méthodes d'évaluation de performances des lignes de fabrication et d'assemblage. Nous avons conçu un logiciel, appelé ÉVALIGNE, qui regroupe un ensemble de méthodes étudiées dans notre équipe ou par d'autres chercheurs. Ce logiciel est destiné à la recherche (comparaison de méthodes analytiques, entre elles et avec des simulations), à l'enseignement, et à la démonstration de l'efficacité des méthodes analytiques auprès des industriels. Ce logiciel a été conçu par Y. Dallery, M. Di Mascolo, Y. Frein et l'auteur de cette notice. Une première version de ce logiciel a été

réalisée en 1995 (dans le cadre de la thèse CNAM de D. Kintzuger). Des améliorations ont été apportées depuis.

Une étude portant sur la modélisation et l'évaluation de la conduite par *kanban* a été faite (thèse de M. Di Mascolo). Ce travail s'est fait en relation avec RENAULT [C 16], et a déja donné lieu à publication [CI 38, RI 37]. Après sa thèse, M. Di Mascolo est devenue Chargée de recherche au CNRS. Ce thème de recherche s'est alors largement développé sans ma participation.

D. Réseaux de Petri continus et hybrides

Les réseaux de Petri sont (étaient), par définition, des modèles de systèmes à événements discrets. L'idée des réseaux de Petri continus (dans lesquels les marquages sont des nombres réels, et les franchissements de transitions des flux continus) est venue de nos travaux sur les lignes de fabrication, qui utilisaient un modèle continu (partie C ci-dessus). H. Alla, qui n'était pas encore dans notre équipe, s'est joint à l'auteur de cette notice pour développer cette idée. Nous avons défini divers modèles de réseaux de Petri continus : autonomes [CI 40, RI 41], à vitesse constante [CI 32], à vitesse variable (fonction du marquage) [CI 36, CI 40, RI 41], asymptotiques [CI 46, RI 42], à vitesse maximale fonction du temps [CI 51, RI 46]. Le passage aux réseaux de Petri hybrides s'est ensuite imposé naturellement (il était déjà prévu dans [CI 40]) : le nombre de pièces dans un stock peut être modélisé avec une bonne approximation par un nombre réel, mais l'état d'une machine, opérationnelle ou en panne, non. Les réseaux de Petri hybrides comportent une partie discrète et une partie continue qui s'influencent mutuellement [CI 44, RI 39].

Postérieurement à nos premiers travaux, d'autres chercheurs ont publié des travaux sur le même thème, soit en se référant à nos publications et en proposant des extensions (P. L. Brinkman et W. A. Blaauboer, de l'Université de Delft, I. Demongodin et F. Prunet, du LIRM Montpellier), soit indépendamment (K. S. Trivedi et V. G. Kulkani, de l'Université de Raleigh, en 1993).

Divers systèmes réels ont été modélisés à l'aide de ces nouveaux outils. Par des membres de notre laboratoire : système de production dans une usine de Motorola, en collaboration avec le CERT de Toulouse ; alimentation en eau de la Ville d'Aix-les-Bains, dans cadre d'un projet de DEA (dans ce cas, la partie continue modélisait des phénomènes effectivement continus). Par des équipes extérieures à notre laboratoire : embouteillage de bière Heineken (équipe hollandaise déja citée) ; embouteillage d'eau Perrier (équipe montpelliéraine déja citée).

Aujourd'hui, les réseaux de Petri hybrides sont largement utilisés et admis. Le logiciel SIRPHYCO (SImulation de Réseaux de Petri HYbrides et COntinus) que nous avons réalisé, a été fourni à une trentaine d'équipes de recherche, dont une dizaine dans des pays étrangers. Nous avons été sollicités pour écrire un article de synthèse sur ces réseaux dans un numéro spécial de revue dédié aux réseaux de Petri [RI 50], pour rédiger un chapitre d'ouvrage sur les systèmes hybrides [O 12], et pour contribuer au *numéro spécial sur les réseaux de Petri hybrides* qu'a publié la revue "*Discrete Event Dynamic Systems*" [RI 52]. En outre, j'ai été personnellement invité à présenter nos travaux sur les réseaux de Petri hybrides aux *Journées d'Etude* "*Analyse et Supervision des systèmes dynamiques hybrides*", 1996 [CN 19] et en sessions plénières au *Int. Workshop on Petri Nets and Performance Models 1997* (*PNPM*) [CI 56] et à *Int. Conf. on Automation of Mixed Processes: Hybrib Dynamic Systems 2000* (*ADPM*) (sur la base de [RI 50]).

Cet intérêt pour nos modèles nous a incités à entreprendre la rédaction d'un livre sur le sujet. Le premier objectif de ce livre était de présenter de façon ordonnée, cohérente et didactique, les travaux de notre équipe sur le sujet, ainsi que certains résultats d'autres équipes sur nos modèles, en apportant quelques compléments pour certains points faibles ou insuffisamment expliqués dans les articles précédemment publiés.

Au fur et à mesure de la rédaction, divers développements sont apparus nécessaires, ce qui fait que la version finale [O 5] contient beaucoup de résultats nouveaux. En voici quelques exemples.

Les réseaux de Petri discrets, continus et hybrides sont présentés de façon cohérente et "unifiée". Par exemple, le concept de "transition immédiate" est défini de façon unique puis appliqué aux divers modèles. La notation 0^+ est largement utilisée (marquage ou poids d'arc). Elle avait déjà été introduite et utilisée dans [RI 52, CI 59]. Dans le livre, il est montré que le concept de marquage 0^+ apparaît "naturellement" (et qu'il est cohérent avec l'analyse non-standard : un infiniment petit plus un infiniment petit est un infiniment petit, i. e. $0^+ + 0^+ = 0^+$). La notation 0^+ permet d'augmenter la puissance de modélisation, mais aussi de résoudre un problème de calcul de

vitesses dans des cas particuliers pour lesquels les algorithmes précédents étaient pris en défaut (problème soulevé par Paul Caspi en 1987 !). Un algorithme de calcul automatique des vitesses dans un RdP continu est proposé. Cet algorithme, qui résoud le problème de Caspi et qui admet la résolution de conflits par priorité ou par partage de flux, est complexe. Il a été programmé par Calin MUNTEANU, un chercheur de l'Université de Bucarest venu travailler avec nous pendant un an dans le cadre de sa thèse (soutenue en 2005). Le logiciel correspondant a été mis à disposition des utilisateurs sur internet (dans SIRPHYCO, qui n'est plus maintenu depuis 2009). Finalement, on appelle *RdP hybride commandé* un RdP hybride dont les transitions discretes peuvent être soit temporisées soit synchronisées sur des événement ou conditions extérieures, et dont les vitesses maximales des transitions continues peuvent être constantes, fonctions du temps, ou fonction du marquage. Plusieurs systèmes hybrides trouvés dans la littérature, dont un présenté comme "benchmark" par ses auteurs, sont modélisés par des RdP hybrides commandés.

L'ouvrage [O 5], daté de 2005, a été effectivement publié à l'automne 2004. Une seconde édition, améliorée et augmentée, a été publiée en 2010.

Suite à la publication de ce livre, j'ai été invité à donner un cours de six heures sur la modélisation par réseaux de Petri hybrides, à Tunis (2008) puis à Bucarest (2009). Ce même cours a été présenté deux années consécutives à Grenoble.

E. Autres travaux de recherche

Les quatre grands thèmes qui ont été présentés constituent les axes sur lesquels la quantité et la diffusion de nos travaux sont les plus importants. Nous avons toutefois étudié d'autres sujets : l'architecture de calculateurs, les transports en commun en site propre, le test déterministe de circuits logiques, la théorie des systèmes logiques autocontrôlables. Ces travaux correspondent à des *thèses*. *Ils seront évoqués plus en détail dans le chapitre II-C*. Nous présentons ici quelques travaux plus ponctuels, ayant donné lieu à publication.

"Une *méthode graphique* pour déceler à la fois les *aléas* statiques et dynamiques dans les circuits combinatoires" [RN 2]. La détection des aléas statiques est basée sur une représentation graphique, que nous introduisons, de monômes instables de la forme *Axx'* sur tableaux de Karnaugh. La détection des aléas dynamiques est basée à la fois sur cette représentation et sur une propriété que nous démontrons. Tous les résultats précédents faisaient intervenir à la fois les développements de la fonction booléenne en somme-de-produit *et* en produit-de-somme pour déceler les aléas *dynamiques*. La propriété que nous démontrons permet de n'utiliser que l'un *ou* l'autre de ces développements.

"Un principe de génération de *séquences binaires aléatoires*" [RN 5]. Un système séquentiel peut comporter des cycles instables. Au moment où une entrée change de valeur, la nouvelle valeur de la sortie dépend de l'endroit du cycle où se trouve le système. L'expérimentation a confirmée les prévisions théoriques.

"Sur *l'indépendance* des *critères de minimalisations* des fonctions boléennes [RN 6]. Trois critères principaux peuvent être utilisées pour la minimalisation des fonctions booléennes. A l'aide de contre-exemples, on montre l'indépendance de ces critères, ce qui contredit l'affirmation de divers auteurs selon laquelle ces critères peuvent se substituer l'un à l'autre. Cette publication a inspiré un sujet de thèse de l'IMAG. (A. Sharafeddin-Moury, déc. 1980).

VII. Publications

A. Thèse

[T] "Réalisation de systèmes séquentiels asynchrones par interconnection simple de cellules séquentielles identiques".
Thèse de Doctorat d'Etat, Faculté des Sciences de Grenoble, 24 avril 1969.
(Jury : L. NEEL, M. FALLOT, J. KUNTZMANN, J. LAGASSE, R. PERRET).

B. Revues Internationales

[RI 1] J.-C. LAURENT et R. DAVID, "Synthèse cellulaire de systèmes séquentiels complexes définis par leur graphe primitif - Intégration à grande échelle".
RAIRO n° J.1, 1972, pp. 19-34.

[RI 2] R. DAVID et J.-P. RICHARD, "Cellular logical networks".
Journal of Dynamic Systems Measurement and Control - Déc. 1975, pp. 433-439.

[RI 3] J. THUEL et R. DAVID, "Propriétés des réseaux logiques en présence de pannes multiples. Application à la détection".
RAIRO n° J-1, 1975, pp. 71-102.

[RI 4] R. DAVID, "Paradoxe du test des circuits combinatoires".
Digital Processes, vol. 1, 1975, n° 4, pp. 333-336.

[RI 5] R. DAVID et G. BLANCHET, "On random fault detection of combinational networks".
IEEE Trans on Comput., vol. C-25, June 1976, pp. 659-664.

[RI 6] R. DAVID, "Modular design of asynchronous circuits defined by graphs".
IEEE Trans. on Comput., vol. C-26, Août 1977, pp. 727-737.

[RI 7] P. THEVENOD-FOSSE et R. DAVID, "Test aléatoire des Mémoires".
RAIRO Automatique, vol. 12, n° 1, 1978, pp. 43-61.

[RI 8] R. DAVID, "A totally self-checking 1-out-of-3 checker".
IEEE Trans. on Comput., Vol. C-27, June 1978, pp. 570-572.

[RI 9] R. DAVID et P. THEVENOD-FOSSE, "Design of totally self-checking asynchronous modular circuits".
J. of Design Automation and Fault Tolerant Computing, Oct. 1978, pp. 271-287.

[RI 10] P. THEVENOD-FOSSE et R. DAVID, "A method to analyze random testing of sequential circuits".
Digital processes, pp. 313-332, n° 3-4, 1978.

[RI 11] R. DAVID et R. TELLEZ-GIRON, "Comments on "The error latency of a fault in a sequential digital circuits""
IEEE Trans. on Comput., vol. C-28, n° 1, pp. 85-86, Janv. 1979.

[RI 12] R. DAVID et P. THEVENOD-FOSSE, "Panorama des méthodes de test non déterministes des circuits logiques"
RAIRO Automatique, vol. 13, n° 1, 1979, pp. 5-38.

[RI 13] M. SILVA et R. DAVID, "Synthèse programmée des automatismes logiques décrits par réseaux de Petri : une méthode de mise en oeuvre sur microcalculateur".
RAIRO Automatique, vol. 13, n° 4, 1979, pp. 369-393.

[RI 14] R. DAVID et P. THEVENOD-FOSSE, "Minimal detection transition sequences : application to random testing".
IEEE Trans. on Comput., vol. C-29, June 1980, pp. 514-518.

[RI 15] R. DAVID, "Testing by feedback shift register".
IEEE Trans. on Comput., vol. C-29, July 1980, pp. 668-673.

[RI 16] R. DAVID, R. TELLEZ-GIRON et E. MITRANI, "Emploi de cellules universelles pour la synthèse de Systèmes asynchrones décrits par réseaux de Petri".
Digital Processes 6 (1980), pp. 185-198.

[RI 17] M. MOALLA et R. DAVID, "Extension du Grafcet pour la représentation de systèmes temps réel complexes".
RAIRO Automatique, vol. 15, n° 2, 1980, pp. 159-192.

[RI 18] R. DAVID et P. THEVENOD-FOSSE, "Random testing of integrated circuits".
IEEE Trans. on Inst. and Measurement, vol. IM-30, March 1981, pp. 20-25.

[RI 19] R. DAVID et H. DENEUX, "Sur le déterminisme du Grafcet".
RAIRO Automatique, n° 3, 1983, pp. 223-240.

[RI 20] H. DENEUX et R. DAVID, "Spécification et mise en oeuvre d'automates interconnectés à l'aide du Grafcet".
RAIRO Automatique, n° 4, 1983, pp. 339-358.

[RI 21] R. DAVID, X. FEDI et P. THEVENOD-FOSSE, "Test aléatoire des microprocesseurs : étude théorique et expérimentations".
Technique et Science Informatiques, vol. 3, n° 6, 1984, pp. 421-433.

[RI 22] M. SILVA et R. DAVID, "Binary decision graphs for implementation of boolean functions".
IEE Proceedings, vol. 132, Pt E, n° 3, May 1985, pp. 175-185.

[RI 23] R. DAVID et X. FEDI, "Résultats améliorés sur le test aléatoire des mémoires".
RAIRO Automatique, n° 6, 1985, pp. 553-560.

[RI 24] X. FEDI et R. DAVID, "Some experimental results from random testing of microprocessors".
IEEE Trans. on Inst. and Measurement, vol. IM-35, March 1986, pp. 78-86.

[RI 25] R. DAVID, "Signature Analysis for multiple-output circuits".
IEEE Trans. on Computers, vol. C-35, n° 9, September 1986, pp. 830-837.

[RI 26] C. TERRACOL et R. DAVID, "Performances d'une ligne composée de machines et de stocks intermédiaires".
RAIRO Automatique, vol. 21, n° 3, 1987, pp. 239-262.

[RI 27] Y. DALLERY, R. DAVID, X.-L. XIE., "An Efficient Algorithm for Analysis of Transfer Lines with Unreliable Machines and Finite Buffers".
IIE Transactions, vol. 20, n° 3, 1988.

[RI 28] Y. FREIN, Y. DALLERY, J.-J. PIERRAT, R. DAVID, "Optimisation du routage des pièces dans un atelier flexible par des méthodes analytiques".
RAIRO-APII, vol. 22, n° 5, 1988, pp.489-507.

[RI 29] R. DAVID, A. FUENTES, B. COURTOIS, "Random Pattern Testing versus Deterministic Testing of RAMs"
IEEE Trans. on Computers, vol. 38, n° 5, May 1989, pp. 637-650.

[RI 30] M. JACOMINO, J.-L. RAINARD, R. DAVID, "Fault Detection in CMOS Circuits by Comsumption Measurement"
IEEE Trans. on Inst. and Measurement, Vol. 38, n° 3, juin 1989, pp.773-778.

[RI 31] M. JACOMINO, R. DAVID, "Sur les mesures de la confiance dans un test ".
Technique et Science Informatiques, vol. 8, n° 5, 1989, pp. 452-469.

[RI 32] Y. DALLERY, R. DAVID, X.L. XIE, "Approximate Analysis of Transfer Lines with Unreliable Machines and Finite Buffers",
IEEE Trans. on Automatic Control, Vol. 34, n° 9, septembre 1989, pp. 943-953.

[RI 33] R. DAVID, "Comments on " Signature Analysis for Multiple-Output Circuits"".
IEEE Trans. on Computers, vol. 39, n° 2, February 1990, pp. 287-288.

[RI 34] R. DAVID, A. FUENTES, "Fault Diagnosis of RAMs from Random Testing Experiments".
IEEE Trans. on Computers, vol. 39, n° 2, February 1990, pp. 220-229.

[RI 35] R. DAVID, X.L. XIE, Y. DALLERY, "Properties of Continuous Models of Transfer Lines with Unreliable Machines and Finite Buffers".
IMA J. of Mathematics Applied in Business and Industry, N°6, 1990, pp. 281-308.

[RI 36] R. DAVID, K. WAGNER, "Analysis of Detection Probability and some Applications".
IEEE Transactions on Computers, vol. C-39, N°10, pp. 1284-1291, October 1990.

[RI 37] M. DI MASCOLO, Y. FREIN, Y. DALLERY, R. DAVID, "A Unified Modeling of Kanban Systems using Petri Nets",
International J. of Flexible Manufacturing Systems, vol. 3, n° 3/4, juin 1991, pp. 275-307.

[RI 38] M. DI MASCOLO, R. DAVID, Y. DALLERY, "Modelling and Analysis of Assembly Systems with Unreliable Machines and Finites Buffers",
IIE Transactions, Vol. 24, N° 3, December 1991, pp. 315-330.

[RI 39] J. LE BAIL, H. ALLA, R. DAVID, "Réseaux de Petri hybrides",
Technique et Science Informatiques, vol. 11, n°5/1992, pp. 95-120.

[RI 40] J.W. HUANG, R. DAVID "Diagnostic de fautes dans un lot de microprocesseurs",
Technique et Science Informatiques, vol. 11, n° 6/1992, pp.67-83.

[RI 41] R. DAVID, H. ALLA, "Autonomous and Timed Continuous Petri Nets",
Advances in Petri Nets 1993, G. Rozenberg Ed., Springer-Verlag, Berlin, 1993, pp. 71-90.

[RI 42] J. LE BAIL, H. ALLA, R. DAVID, "Asymptotic Continuous Petri Nets",
J. of Discrete Event Dynamic Systems: Theory and Applications, *2*, 1993, pp.235-263.

[RI 43] M. JACOMINO, W. ISSA, R. DAVID, "Méthode statistique de prévision de fautes dans un lot de circuits à tester",
Technique et Science Informatiques, vol. 12, n°2, pp. 217-250, 1993.

[RI 44] R. DAVID, H. ALLA, "Petri Nets for Modeling of Dynamic Systems. A Survey",
***Article sollicité*, Automatica**, Vol. 30, N° 2, pp. 175-202, 1994.

[RI 45] R. ALVAREZ-VARGAS, Y. DALLERY, R. DAVID, "Experimental Study of the Continuous Flow Model of Production Lines with Unreliable Machines and Finite Buffers",
J. of Manufacturing Systems, Vol. 13, N° 3, pp. 221-234, 1994.

[RI 46] E. DUBOIS, H. ALLA, R. DAVID, "Les réseaux de Petri à vitesses fonction du temps",
APII, vol. 28, n° 5, pp.425-443, juin 1994.

[RI 47] R. ALVAREZ-VARGAS, Y. DALLERY, R. DAVID, "Experimental Study of the Continuous Flow Model of Production Lines with Unreliable Machines and Finite Buffers",
J. of Manufacturing Systems, Vol. 13, N° 3, 1994, pp. 221-234.

[RI 48] R. DAVID, "Grafcet: A Powerful Tool for Specification of Logic Controllers"
***Article sollicité*, IEEE Trans. on Control Systems Technology**, Vol. 3, N° 3, Sept. 1995, pp.253-268.

[RI 49] R. DAVID, J. A. BRZOZOWSKI, H. JÜRGENSEN, "On Random Test Length for Bounded Faults in RAMS",
Journal of Electronic Testing : Theory and Application, n°10, p. 197-291, 1997.

[RI 50] H. ALLA, R. DAVID, "Continuous and Hybrid Petri Nets",
***Article invité*, Journal of Circuits, Systems and Computers**, Special Issue on Petri Nets, Vol. 8, N° 1, pp. 159-188, 1998.

[RI 51] F. CHARBONNIER, H. ALLA, R. DAVID, "The Supervised Control of Discrete Event Dynamic Systems",
IEEE Transactions on Control Systems Technology, Vol. 7, n° 2, March 1999, pp. 175-187.

[RI 52] R. DAVID et H. ALLA, "On Hybrid Petri Nets"
J. of Discrete Event Dynamic Systems: Theory and Applications. Vol.11, 2001, pp.9-40.

[RI 53] A. VIRAZEL, R. DAVID, P. GIRARD, C. LANDRAULT, and S. PRAVOSSOUDOVITCH, "Delay Fault Testing: Choosing Between Random SIC and Random MIC Test Sequences"
Journal of Electronic Testing : Theory and Application, vol. 17, n°3/4, p. 233-241, 2001.

[RI 54] R. DAVID, P. GIRARD, C. LANDRAULT, S. PRAVOSSOUDOVITCH, and A. VIRAZEL, "Hardware Generation of Random Single Input Change Test Sequences"
Journal of Electronic Testing : Theory and Application, vol. 18, p. 145-157, 2002.

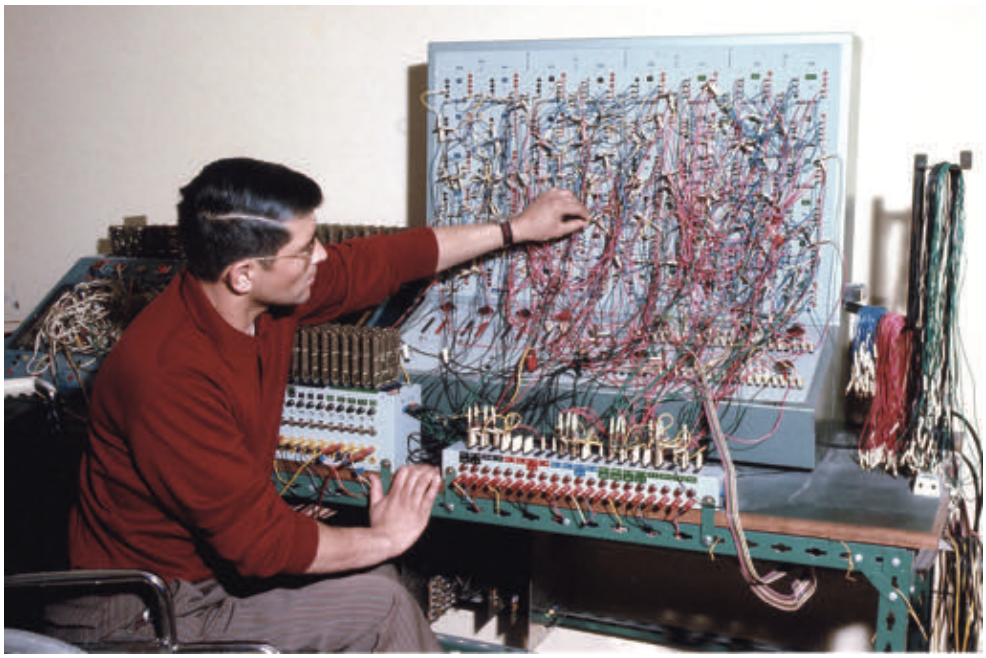
[RI 55] C. MUNTEANU, R. DAVID, and H. ALLA, "Algorithme de calcul de vitesse pour un réseau de Petri continu temporisé"
Revue e-STA, 2005, vol. 1, n°3. Disponible sur http://www.e-sta.see.asso.fr/accueil.php

xxxx Y. EL TOUATI, H. ALLA, N. BEN HADJ ALOUANE, M. YEDDES, and R. DAVID, "Time Petri Networks with Memory-Enabled Tokens: An Application to the Modeling of Dynamic Hybrid Systems"
Soumis à Discrete Event Dynamic Systems Theory and Applications, décembre 2009.

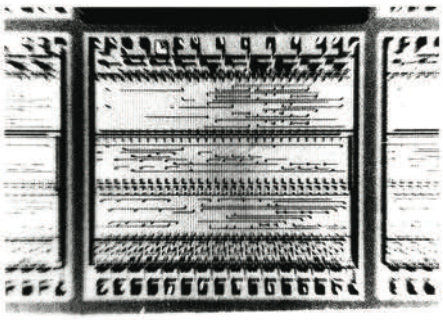
Annexes

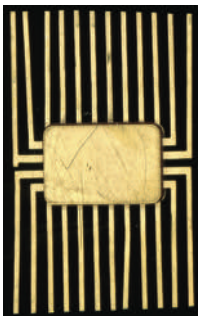
Dans cette annexe, nous présentons quelques photos ainsi qu'une *Note biographique* préparée pour le site du Lycée Livet (ex Ecole Nationale Professionnelle Livet de Nantes).

Sur les CUSA

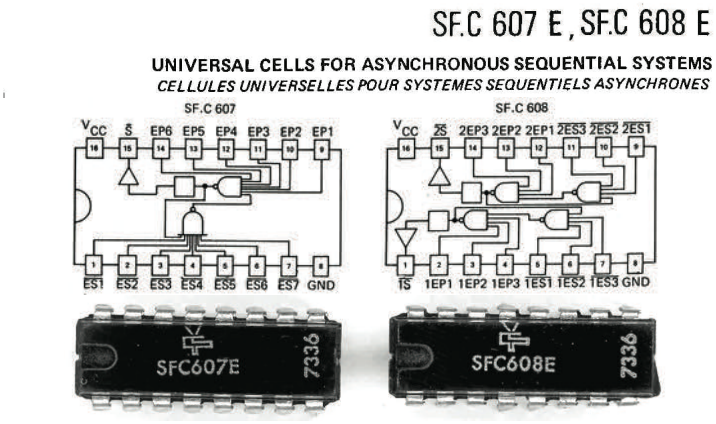


Simulateur à CUSA (48 cellules plus extensions pour l'exemple traité). Câblage de la *commande séquentielle du pilote de distillation du LAG*. Photo de 1968. Travail dans le cadre de la thèse qui sera soutenue en 1969.





Intégration à grande échelle : circuit MOS prédiffusé (15 entrées, 30 CUSA, 10 sorties). En *collaboration avec le LETI*, laboratoire du Centre d'Etudes Nucléaires de Grenoble, 1972.



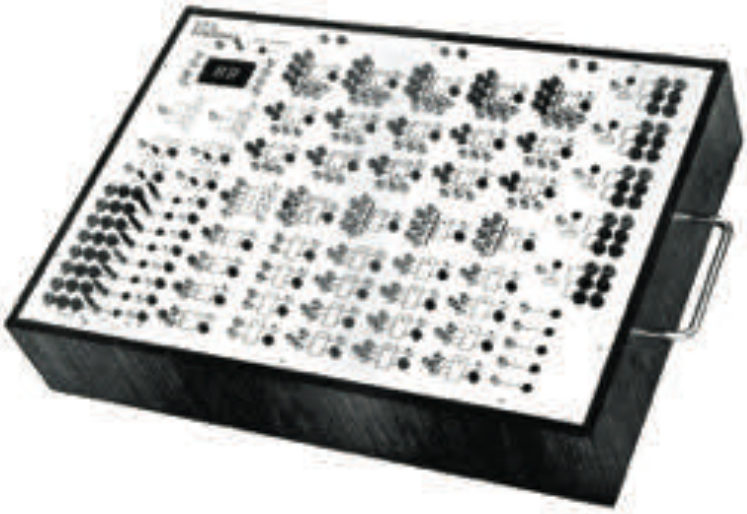
CUSA en circuits intégrés TTL. Extraits du catalogue SESCOSEM (*Circuits intégrés logiques TTL*, Editions Radio, Paris, 1975) et photos des circuits. Ces circuits ont donné lieu à un *brevet*.

Boîtiers de CUSA en *électronique conventionnelle*, dans la série ***SILIMOG*** *de* *MERLIN-GERIN*.

SERALE Services - Etudes - Réalisations d'Appareils Logiques Electroniques

SIMULATEUR à CUSA

SC 266



Les méthodes traditionnelles de résolution des circuits séquentiels asynchrones deviennent difficilement applicables pour des automates de grande complexité. Le SIMULATEUR à CUSA " SC 266 " propose l'application d'une nouvelle méthode de synthèse, faisant appel à la "Cellule Universelle pour Séquences Asynchrones" (C U S A)*. Cette méthode de synthèse consiste à associer une CUSA (mémoire de phase) à un état stable et une connexion entre deux CUSA à une transition d'un état à un autre. Les principaux avantages de cette méthode sont:

- Elle est simple et systématique.
- Les circuits obtenus ne comportent pas d'aléas.
- Une méthode de simplification permet de réduire le nombre de cellules et/ou la complexité du réseau.
- La méthode de synthèse étant "naturelle", elles est utilisable par des non-logiciens.
- Les circuits obtenus sont d'une maintenance facile.
- Un seul type de cellule permet de réaliser tout automate.

En outre, le SIMULATEUR à CUSA "SC 266" comporte des opérateurs classiques, des bascules JK, des mémoires, des compteurs, des afficheurs numériques, des temporisateurs réglables, etc... Les relais et les entrées pour capteurs extérieurs permettent de commander des équipements réels, tels que: vérins (électro-vannes), moteurs (contacteurs), éclairages, etc...

Le SIMULATEUR à CUSA "SC 266" peut être couplé avec le SIMULATEUR d'AUTOMATISMES "SI 191" et ainsi, accroître sa capacité et ses possibilités.

* *Thèse présentée à la Faculté des Sciences de Grenoble, par Monsieur R. DAVID*

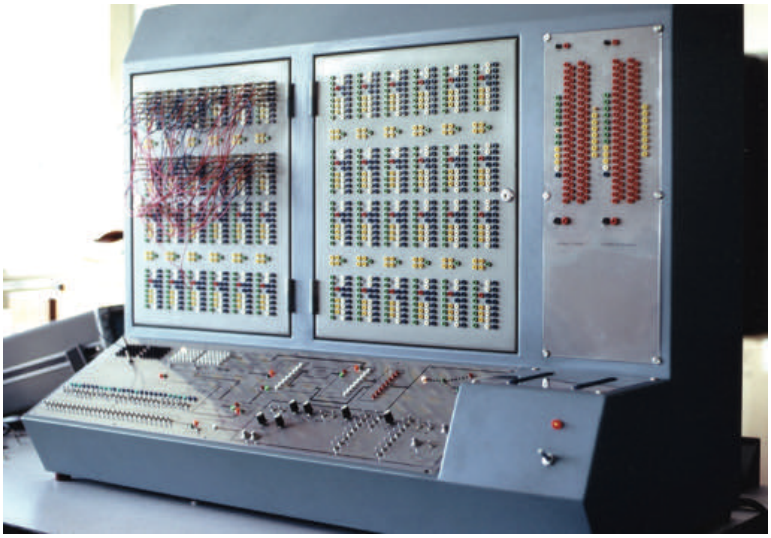
Etablissements SERALE
Tél. (75) 75.04.63

Quartier Fontalis - B.P. 96
26400 - CREST (France)

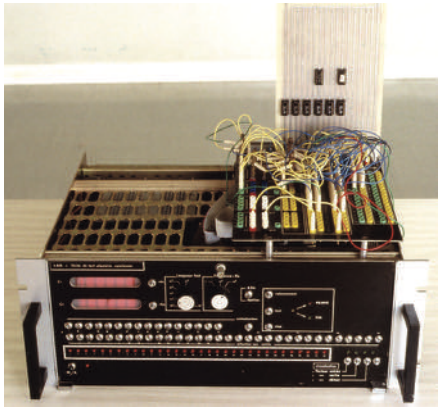
C.C.P. LYON 4623.05
SIRENE 304.205.610 RM 26.2

Simulateur à base de CUSA, fabriqué et commercialisé par la Société SERALE.

Sur le test aléatoire



Premier testeur aléatoire (premier au monde à notre connaissance). Conçu et fabriqué par R. Tellez-giron entre 1970 et 1973. La séquence de test est *pseudo-aléatoire*. Pour tester un système séquentiel, on peut câbler le graphe de l'automate (qui constitue donc la référence) ou comparer deux circuits montés sur des cartes (connecteurs en bas à droite). Pour un circuit synchrone, permet le *test synchrone* (l'horloge joue son rôle normal) ou le *test asynchrone* (l'horloge est considérée comme une entrée quelconque). Testeur *donné à l'ACONIT* en 2003.



Seconde machine. Réalisée pour faire uniquement du *test synchrone*, mais avec des nombres d'entrées-sorties beaucoup plus grands. Circuit à tester et circuit de référence sont montés sur la carte verticale à l'arrière du testeur. Ce testeur a été *prêté au CNET (CNS, Centre Norbert-Ségard, Meylan) qui l'a utilisé pour tester des circuits*.

Machine à tester les microprocesseurs Motorola MC6800 (thèse X. Fédi, 1984). A donné lieu à un brevet.

Le testeur proprement dit est *uniquement la partie de gauche* ; on voit à l'avant les *deux microprocesseurs* dont les fonctionnements sont comparés (celui qui est sous test et la référence). Il est *entièrement câblé et fonctionne donc très vite*. La partie informatique de droite est destinée à modifier les probabilités des instructions etc. de la séquence de test (parce que ce dipositif est destiné à la recherche). Ces probabilités sont déterminées par les valeurs écrites dans des mémoires RAM ; si on lit, aléatoirement, un mot de RAM contenant des codes instructions, une instruction donnée aura une probabilité d'autant plus grande d'être tirée que son code sera écrit dans un plus grand nombre de mots de la RAM.

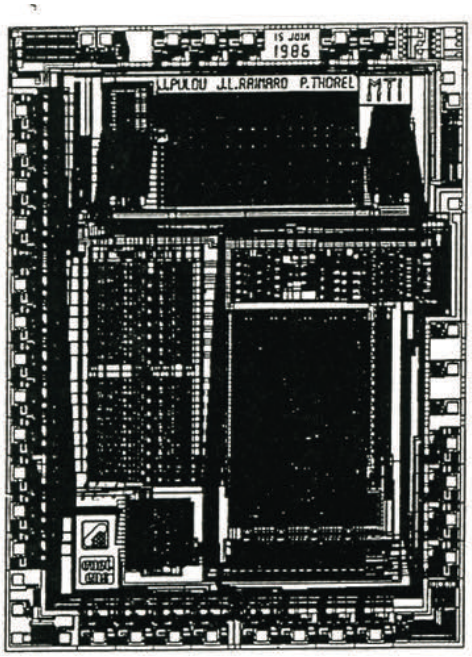
Testeur conçu et réalisé pour répondre aux besoins du CEA-Valduc. La séquence de test est déterminée (pseudo-aléatoire); elle dure une seconde (éventuellement une séquence plus longue peut être utilisée). La séquence de sortie est donc toujours la même. On peut alors utiliser l'*analyse de signature* ; on ne compare plus toute la séquence de sortie à celle d'un circuit de référence, mais une fonction compacte de cette sortie (quelques dizaines de bits), appelée *signature*, à la signature correcte qui est pré-enregistrée. On voit qu'il n'y a qu'*un circuit sur la face avant*, celui qui est sous test.

Le CEA étudiait l'influence de l'*irradiation* (intensité et durée) sur le fonctionnement des *microprocesseurs MC6800*. On pouvait tester un lot de circuits avant irradiation, puis après, voire longtemps après (régénération). On pouvait aussi tester périodiquement le fonctionnement d'un circuit pendant l'irradiation (un cordon reliant le circuit dans une enceinte au testeur), pour voir combien de temps il fontionne correctement. Un test périodique (6h, 12h, ou 24h) était effectué et enregistré via une sortie à l'arrière du testeur.

Ce testeur *utilise le brevet* évoqué à la page précédente.

Le MTI, microprocesseur avec test intégré, a été conçu et ***réalisé par le CNET*** (CNS Meylan) en en se basant sur des résultats antérieurs de notre équipe (*test aléatoire* et *analyse de signature* sont intégrés dans la même puce que le circuit nominal qu'est le microprocesseur). Parmi les trois auteurs de ce circuit, l'un était un doctorant codirigé par un des autres auteurs et moi-même.

Divers circuits complexes avec test aléatoire intégré ont ensuite été *réalisés par le CNET-CNS pour les besoins de France-Télécom*. Le cahier des charges du circuit nominal était donné par France-Télécom. Le CNET-CNS, chargé de la conception, y ajoutait le test intégré. L'équipe concernée a réalisé le logiciel *SITAR* (*Système d'Intégration de Test Aléatoire Réaliste*). Un autre thésard sous ma co-direction y participait.



J'ai présenté notre *testeur aléatoire de microprocesseurs* à une ***émission d'ANTENNE 2*** (Le Tremplin des Inventeurs, Aujourd'hui la Vie, avril 1985).

La photo est prise pendant la préparation, avec Mr Froelicher, de l'*ANVAR*, qui gérait notre brevet et m'avait demandé si j'acceptais de participer à cette émission pour y "représenter" le CNRS.